

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-161931

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl. ^o	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04				
21/822				
21/28	3 0 1 R	8826-4M		
		8832-4M	H 0 1 L 27/ 04	C
		7210-4M	27/ 10	3 2 5 J
審査請求 有 請求項の数 7 O L (全 11 頁) 最終頁に続く				

(21)出願番号 特願平5-302473

(22)出願日 平成5年(1993)12月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神山 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

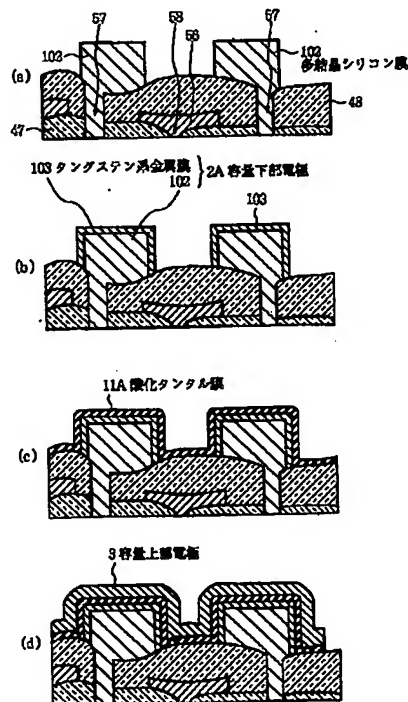
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】リーク電流特性を劣化させずに、容量値を増大させるDRAMの容量素子の形成方法を提供する。

【構成】多結晶シリコン膜102を形成し、この表面にタングステン系金属膜103を形成し、容量下部電極2Aを形成する。容量絶縁膜である酸化タンタル膜に酸化プラズマ処理による緻密化処理を施して酸化タンタル膜11Aを形成する。



1

【特許請求の範囲】

【請求項1】 第1の金属元素を含んだ第1の導電体膜を表面に有する容量下部電極を形成する工程と、酸化タンタル膜からなる容量絶縁膜を形成する工程と、前記酸化タンタル膜を緻密化処理する工程と、第2の金属元素を含んだ第1の導電体膜からなる容量上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の金属元素が、タングステンもしくはモリブデンであることを特徴とする請求項1記載半導体装置の製造方法。

【請求項3】 前記酸化タンタル膜の形成方法が、有機系のタンタル原料を用いた化学気相成長法であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記酸化タンタル膜の緻密化処理が、酸化ガスを用いたプラズマ処理であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記酸化ガスが、酸素ガス、水分を含んだ酸素ガスおよび亜酸化窒素ガスの少なくとも1つからなることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第2の金属元素が、タングステン、モリブデンもしくはチタンであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 半球形状結晶粒に覆われた表面を有するシリコン膜パターンを形成する工程と、前記シリコン膜パターンの表面に第1の金属元素を含んだ第1の導電体膜を形成し、容量下部電極を形成する工程と、

酸化タンタル膜からなる容量絶縁膜を形成する工程と、前記酸化タンタル膜を緻密化処理する工程と、第2の金属元素を含んだ第1の導電体膜からなる容量上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に酸化タンタル膜を容量絶縁膜として用いるDRAMの容量素子の形成方法に関する。

【0002】

【従来の技術】 256MビットDRAM以降の超LSIメモリデバイスの容量素子においては、単位面積当りの容量値を大きくできる高誘電率を有した容量絶縁膜の採用が検討されている。このような容量絶縁膜の中で、化学気相成長法(CVD法)による酸化タンタル膜は、比誘電率 ϵ_r が25～30と大きく、優れたステップカバレッジ特性を有しており、さらに成膜方法が高誘電率を有した他の絶縁膜と比較して極めて容易であることから、多くの研究がなされている。

【0003】 DRAMのセルの容量素子の製造工程の断

2

面図である図10を参照すると、容量絶縁膜として酸化タンタル膜を用いた従来のDRAMのスタック型の容量素子の製造方法は、以下のようになっている。

【0004】 まず、以下の構造を形成する。P型シリコン基板表面にトランジスタを形成する。このトランジスタを層間絶縁膜47により覆う。層間絶縁膜47にトランジスタのN型のソース、ドレイン領域の一方に達するコンタクト孔58を形成する。コンタクト孔58を介してこのN型のソース、ドレイン領域に接続されるビット線56を、層間絶縁膜47表面上に形成する。層間絶縁膜48を形成して、このビット線56を含めて層間絶縁膜47表面上を覆う。

【0005】 このような構造のもとで、まず、層間絶縁膜48、47を貫通して上記トランジスタのソース、ドレイン領域の他方に達するコンタクト孔57が形成される。全面に膜がドーパされた多結晶シリコン膜が形成され、この多結晶シリコン膜がパターニングされて容量下部電極2が形成される。次に、有機原料であるペンタエトキシタンタル($\text{Ta}(\text{OC}_2\text{H}_5)_5$)ガスと酸素とを用いた減圧気相成長法により、容量下部電極2表面上を含めた層間絶縁膜48表面上に酸化タンタル膜11が形成される〔図10(a)〕。次に、この酸化タンタル膜11のリーク電流特性を改善するために酸素雰囲気での高温熱処理が行なわれ、酸化タンタル膜11が酸化タンタル膜11Bになる〔図10(b)〕。この熱処理温度は、一般的に700～900℃である。続いて、容量上部電極3が形成される〔図10(c)〕。この上部電極3としては、タングステン膜等が用いられる。

【0006】

【発明が解決しようとする課題】 上述した容量素子においては、以下に述べる問題点がある。従来の容量素子形成工程において、容量下部電極2を構成する多結晶シリコン膜表面上に酸化タンタル膜11を形成し、リーク電流特性改善のために、酸素雰囲気での高温熱処理を施すことにより、酸化タンタル膜11を酸化タンタル膜11Bにしている。このように形成された容量絶縁膜を有する容量素子では、酸化シリコン膜換算膜厚(比誘電率 $\epsilon_r = 3.9$)にして約3nm($C_s = 11.5 \text{ fF}/\mu\text{m}^2$)の容量値しか得られない。これは、この酸素雰囲気での高温熱処理により、酸化タンタル膜11Bと容量下部電極2との界面に約2nm程度の厚めの酸化シリコン膜が形成されるためである。また、酸素雰囲気での高温熱処理を行なわない成長直後(as-deposited)の酸化タンタル膜11を用いた容量素子においても、酸化シリコン膜換算膜厚にして約2.5nm($C_s = 14 \text{ fF}/\mu\text{m}^2$)程度の容量値しか得られない。これは、容量下部電極2表面にもともと1nm強の膜厚の自然酸化膜が形成されているためである。この(約2nm程度の酸化シリコン膜と酸化タンタル膜11Bとが積層された)容量絶縁膜を256MビットDRAMなどの

容量素子へ適用した場合、十分な容量値は得られない。

【0007】容量下部電極2表面に形成された（および、さらに形成される）自然酸化膜という点に着目するならば、容量下部電極2表面の自然酸化膜を除去した後にはこの表面を金属膜で覆うという方法が考えられるが、リーク電流特性改善のための酸素雰囲気での高温熱処理（酸化タンタル膜11を酸化タンタル膜11Bに変換）が高温であることから、この金属膜の表面も酸素雰囲気にはほぼ直接に晒されることになり、金属膜表面にも酸化金属膜が形成される。この結果、実効的な酸化シリコン膜換算膜厚の低減は容易に実現しないことになる。さらに、この高温熱処理によって、熱膨張率の相違から、この金属膜が剥離しやすくなるという別の問題点も生じる。

【0008】したがって、本発明の目的は、リーク電流特性改善のための酸化タンタル膜に対して行なう処理に関して、比較的低温で可能な処理を提供することになる。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法の第1の態様は、第1の金属元素を含んだ第1の導電体膜を表面に有する容量下部電極を形成する工程と、酸化タンタル膜からなる容量絶縁膜を形成する工程と、上記酸化タンタル膜を緻密化処理する工程と、第2の金属元素を含んだ第1の導電体膜からなる容量上部電極を形成する工程とを有する。

【0010】好ましくは、上記第1の金属元素がタングステンもしくはモリブデンであり、上記酸化タンタル膜の形成方法が有機系のタンタル原料を用いた化学気相成長法であり、上記酸化タンタル膜の緻密化処理が酸化ガスを用いたプラズマ処理であり、上記第2の金属元素がタングステン、モリブデンもしくはチタンである。

【0011】本発明の半導体装置の製造方法の第2の態様は、半球形状結晶粒に覆われた表面を有するシリコン膜パターンを形成する工程と、上記シリコン膜パターンの表面に第1の金属元素を含んだ第1の導電体膜を形成し、容量下部電極を形成する工程と、酸化タンタル膜からなる容量絶縁膜を形成する工程と、上記酸化タンタル膜を緻密化処理する工程と、第2の金属元素を含んだ第1の導電体膜からなる容量上部電極を形成する工程とを有する。

【0012】

【実施例】次に、本発明について図面を参照して説明する。本発明の実施例の説明に先だて、まず、本発明の実施例が適用される半導体装置について説明する。

【0013】半導体装置の断面模式図である図1を参照すると、本発明の一実施例が適用されるDRAMは、以下のような構造になっている。

【0014】P型シリコン基板41表面にはNウェル42が形成され、Nウェル42表面には第1のPウェル4

3aが形成され、Nウェル42周辺の表面にはN型分離領域45が形成されている。Nウェル42を除いたP型シリコン基板41表面には第2のPウェル43bが形成されている。Pウェル43aとPウェル43bとは、上記N型分離領域45とこの表面上に設けられたフィールド酸化膜46とにより素子分離されている。

【0015】第1のPウェル43a表面上には、フィールド酸化膜46により素子分離された活性領域にメモリセルを構成するそれぞれのトランジスタ50が形成されている。図4では、一対のメモリセルのみを図示している。それぞれのトランジスタ50は、Pウェル43a表面に設けられたN型のソース・ドレイン領域51a、51bと、Pウェル43a表面上に設けられたゲート絶縁膜52と、ゲート絶縁膜52を介してPウェル43a表面上に設けられた多結晶シリコン膜53およびシリサイド膜54が積層してなるゲート電極55とから構成されている。これらのトランジスタ50は、第1の層間絶縁膜47により覆われている。この層間絶縁膜47には、一対のトランジスタ50が共有する（一方の）ソース・ドレイン領域51aに達するコンタクト孔58が設けられている。層間絶縁膜47表面上に設けられたビット線56は、このコンタクト孔58を介して、上記ソース・ドレイン領域51aに接続されている。

【0016】このビット線56は第2の層間絶縁膜48により覆われている。この層間絶縁膜48の上には、

（点線で囲んだ）容量素子部70が設けられている。すなわち、本実施例によるスタック型の容量素子は、容量下部電極2Aと、容量絶縁膜としての酸化タンタル膜11Aと、容量上部電極3とから構成されている。層間絶縁膜48、47を貫通して一対のトランジスタ50のそれぞれの（他方の）N型のソース・ドレイン領域51bに達するコンタクト孔57を介して、一対の容量下部電極2Aは、それぞれのソース・ドレイン領域51bに接続されている。また、上記容量上部電極3は、一対のメモリセルのそれぞれの容量素子に共通して連続的に形成されている。この容量上部電極3は第2の層間絶縁膜48表面上に延在し、上層配線と接続するための取り出し部分となる容量上部電極3aが設けられている。

【0017】上記容量素子部70は、第3の層間絶縁膜49により覆われている。層間絶縁膜49に設けられたコンタクト孔67を介して、層間絶縁膜49表面上に設けられた複数のアルミ電極71のうちの1つのアルミ電極71aは、上記容量上部電極3aに接続されている。このアルミ電極71aは接地電位等の固定電位になっている。コンタクト孔67の側面および底面は窒化チタン膜72に覆われ、コンタクト孔67はタングステン膜73により充填されている。また、アルミ電極71等の底面にも窒化チタン膜72が設けられている。

【0018】一方、記憶装置の周辺回路を構成するトランジスタ60は、Pウェル43b表面に設けられたN型

5

のソース・ドレイン領域51と、Pウェル43b表面上に設けられたゲート絶縁膜52と、ゲート絶縁膜52を介してPウェル43b表面上に設けられた多結晶シリコン膜53およびシリサイド膜54が積層してなるゲート電極55とから構成されている。ソース・ドレイン領域51の一方に、層間絶縁膜49、48、47を通して設けられたコンタクト孔68を介して、アルミ電極71bが接続されている。このコンタクト孔68も、上記コンタクト孔67と同様に、側面および底面は窒化チタン膜72に覆われ、タングステン膜73により充填されている。同様に、周辺回路の他のトランジスタ60のゲート電極55は、コンタクト孔を介してアルミ電極71cに接続されている。

【0019】次に、本発明の第1の実施例について説明する。

【0020】半導体装置の製造工程の断面図であり、図1の容量素子部70の部分拡大断面図である図2と、化学気相成長装置の断面模式図である図3とを参照すると、本発明の第1の実施例は、以下のようになっている。

【0021】まず、第2の層間絶縁膜48を形成し、層間絶縁膜48、47を貫通するコンタクト孔57を形成する。その後、化学気相成長(CVD)法により多結晶シリコン膜を堆積し、この多結晶シリコン膜に燐をドーブした後、パターニングを行ない多結晶シリコン膜102を形成する〔図2(a)〕。なお、コンタクト孔57内を充填する材料としては、多結晶シリコン膜102を形成するために形成された燐がドーブされた多結晶シリコン膜でもよいが、予じめ別途形成するN型の多結晶シリコン膜、もしくはタングステン膜等でもよい。

【0022】次に、この多結晶シリコン膜102表面の自然酸化膜を希釈弗酸により除去した後、タングステン系金属膜103を多結晶シリコン膜102表面に形成し、これら多結晶シリコン膜102およびタングステン系金属膜103からなる容量下部電極2Aを形成する〔図2(b)〕。上記タングステン系金属膜103としては、タングステン膜、タングステンシリサイド膜および窒化タングステン膜の少なくとも1つを含んでいる。なお、タングステン系金属膜103の代りにモリブデン膜、モリブデンシリサイド膜および窒化モリブデン膜の少なくとも1つを含んだモリブデン系金属膜でもよく、さらにはタングステン系金属膜とモリブデン系金属膜との積層膜でもよい。

【0023】次に、この容量下部電極2A表面上を含めた層間絶縁膜48表面上に、酸化タンタル膜(図示せず)をCVD法により堆積する。

【0024】この酸化タンタル膜の形成には、図3に示す減圧化学気相成長(LPCVD)装置を使用する。原料ガスとしては、ペンタエトキシタンタル(Ta(OC₂H₅)₅)ガスと酸素とを用いる。ペンタエトキシ

6

ンタルガスは、ペンタエトキシタンタルがヒータ14により気化室15内で気化され、キャリアガスアルゴンの導入管23によりバルブ22cを通して送られてきたキャリアガスであるアルゴンガスにより、バルブ22dを通して、半導体ウェハ18を搭載した基板ホルダ17を載置した反応炉19へ導入される。同時に、酸素ガスが、酸素ガスの導入管12からバルブ22bを通して反応炉19へ導入される。反応室19はヒータ16により熱せられており、導入された有機タンタルガスと酸素ガスとが化学気相反応を起し、半導体ウェハ18表面に酸化タンタル膜が堆積する。成長条件としては、気化室15の加熱温度が30~200℃、キャリアガスとしてのアルゴンガスの流量が10~1000sccm、酸素ガスの流量が0.1~20SLM、圧力が1.3×10²~1.3×10⁴Paで行なうのが適している。この反応室19には、上記導入管12、23の他にアルゴンガスの導入管13が接続され、バルブ22aを介してアルゴンガスが導入される。また、この反応室には、排気口21を有する真空ポンプ20が接続されている。

20 【0025】上記酸化タンタル膜が堆積された後、この酸化タンタル膜が緻密化処理されて酸化タンタル膜11Aが形成される〔図2(c)〕。この処理は、酸化ガスを用いたプラズマ処理であり、酸化ガスとしては酸素ガス、水分を含んだ酸素ガスもしくは亜酸化窒素(N₂O)ガスである。また、この処理温度は、室温~300℃程度が好ましい。水分を含んだ酸素ガスの場合には、この水分の添加量が1~1000ppmの範囲であることが好ましい。

30 【0026】続いて、全面に窒化チタン膜(図示せず)を堆積し、この窒化チタン膜(および酸化タンタル膜11A)をパターニングする。さらに、窒化処理が行なわれ、窒化チタン膜からなる容量上部電極3が形成される〔図2(d)〕。この窒化処理は、アンモニアガスを用いたプラズマ処理である。この条件は、温度が室温~600℃、圧力が1.3×10²~1.3×10⁴Pa、パワーが50~500Wあるのが適している。ガスとしては、アンモニアガスの他に窒素ガスあるいは亜酸化窒素(N₂O)ガスを用いてもよい。

40 【0027】なお、本実施例では容量上部電極3として窒化チタン膜を用いたが、本発明はこれに限定されるものではなく、タングステン膜、モリブデン膜、窒化チタン膜を最下層にした積層膜、窒化タングステン膜あるいは窒化モリブデン膜を最下層にした積層膜等でもよい。

50 【0028】その後、第3の層間絶縁膜49の堆積およびリフロー、コンタクト孔67、68等の形成およびコンタクト燐拡散層の形成、アルミ電極71、71a、71b、71c等の形成(図1参照)が行なわれ、DRAが完成する。容量素子部70が形成された後の高温熱処理としては、層間絶縁膜49のリフロー、コンタクト孔68底面へのコンタクト燐拡散層の形成のための活性

化処理等があり、700～850℃程度である。

【0029】なお、これらの高温熱処理に際しては、上記容量下部電極2Aを構成するタングステン系金属膜103表面が緻密化された酸化タンタル膜11A（および容量上部電極3、層間絶縁膜49等）により覆われているため、このタングステン系金属膜103表面に酸化金属膜等が形成されることはない。さらにこのために、タングステン系金属膜103が剥離されることも避けられる。

【0030】リーク電流特性のグラフである図4を参照すると、上記第1の実施例による容量素子では、酸化プラズマ処理温度の上昇に伴ない、リーク電流密度Jは著しく減少する。これは、成膜直後の酸化タンタル膜中に含まれる水分やカーボンが処理温度の増加に伴ない外方拡散し、さらに酸化タンタル膜中の酸素空孔が酸素プラズマ処理によるイオンボンバードにより埋められ、この膜が緻密化する（酸化タンタル膜11Aとなる）ためと考えられる。

【0031】酸化シリコン膜換算膜厚 t_{eq} の酸化プラズマ処理温度依存性を示す図5を参照すると、上記第1の実施例による容量素子の容量絶縁膜の酸化シリコン膜換算膜厚は、以下のようにになっている。タングステン系金属膜103がタングステン膜からなる場合、 $t_{eq} \approx 1.6 \text{ nm}$ である。タングステン系金属膜103がタングステンシリサイド膜からなる場合、 $t_{eq} \approx 2 \text{ nm}$ である。これに対して、従来のように容量下部電極が多結晶シリコン膜のみからなる場合、 $t_{eq} \approx 3 \text{ nm}$ である。このことから、本実施例の採用により、容量絶縁膜の実効膜厚の薄膜化が実現することが明らかになる。なお、タングステン系金属膜103がタングステンシリサイド膜からなる場合の方が薄膜化の度合いが低いのは、シリサイド中のシリコンが酸化されるためである。また、いずれの場合でも、酸化プラズマ処理温度が300℃より高くなると、タングステン系金属膜103表面の酸化が顕在化する。

【0032】半導体装置の製造工程の断面図であり、図1の容量素子部70に対応する部分の部分拡大断面図である図6を参照すると、本発明の第2の実施例は、以下のようにになっている。

【0033】まず、上記第1の実施例と同様に、第2の層間絶縁膜48を形成し、層間絶縁膜48、47を貫通するコンタクト孔57を形成する。その後、CVD法により燐がドーパされた非晶質シリコン膜を堆積し、この非晶質シリコン膜のパターニングを行ない非晶質シリコン膜112を形成する【図6（a）】。なお、コンタクト孔57内を充填する材料としては、非晶質シリコン膜112を形成するために形成された燐がドーパされた非晶質シリコン膜でもよいが、はじめ別途形成するN型の多結晶シリコン膜、もしくはタングステン膜等でもよい。

【0034】次に、この非晶質シリコン膜112表面の自然酸化膜を希釈弗酸により除去した後、ジシラン（ Si_2H_6 ）ガスを用いた分子線照射により、非晶質シリコン膜112表面を粗面シリコン（半球形状シリコン結晶粒（HSG）を有した表面）に変換し、非晶質シリコン膜112aを形成する。続いて、非晶質シリコン膜112a表面に、窒化チタン膜とタングステン膜とが積層されてなる膜を形成し、これをパターニングして導電体膜113を形成する。本実施例における容量下部電極2Aは、これら非晶質シリコン膜112aおよび導電体膜113からなる【図6（b）】。なお、上記導電体膜113の膜厚は、100nm以下であることが好ましい。これは、HSGの粒径が一般的に20～200nmの範囲で制御されるため、導電体膜の膜厚が100nm以上になると粗面状態が維持されず、表面積増大の効果が低減されるためである。

【0035】本実施例では、導電体膜113として窒化チタン膜とタングステン膜との積層膜を採用したが、本発明はこれに限定されるものではない。導電体膜113としては、窒化チタン膜にモリブデン膜、タングステンシリサイド膜、モリブデンシリサイド膜等を積層した膜でもよく、窒化タングステン膜、窒化モリブデン膜等にタングステン膜やこれらモリブデン膜、タングステンシリサイド膜、モリブデンシリサイド膜等を積層した膜でもよい。

【0036】次に、上記第1の実施例と同様に、緻密化された酸化タンタル膜11Aを形成し【図6（c）】、容量上部電極3を形成する【図6（d）】。以降の工程も、上記第1の実施例と同様である。

【0037】単位面積当たりの容量値のグラフである図7を参照すると、上記第2の実施例による容量値は、上記第1の実施例による容量値、従来の多結晶シリコン膜のみからなる容量下部電極を有した容量素子の容量値および従来のHSG構造を有した非晶質シリコン膜からなる容量下部電極を有した容量素子の容量値に対して、それぞれ1.6倍、2.6倍および1.8倍となる。本実施例では、HSGの採用により、容量下部電極2Aの実効表面積が増大したためである。

【0038】スタック型容量素子の高さhに対する1セル当たりの容量値の変化を示すグラフである図8を参照すると、1セルのセル面積が $0.24 \mu\text{m}^2$ （1GビットDRAMのセル面積に相当する）、 $t_{eq} = 1.6 \text{ nm}$ の場合、上記第2の実施例は、上記第1の実施例の約1.4倍の容量値が得られる。例えば、本実施例では $h = 0.6 \mu\text{m}$ のとき、単位面積当たりの容量値は30fFとなる。

【0039】リーク電流特性のグラフである図9を参照すると、上記第2の実施例による容量素子のリーク電流密度Jは、上記第1の実施例による容量素子のリーク電流密度Jとほとんど同じである。すなわち、本実施例

は、上記第1の実施例と同程度のリーク電流特性を有し、さらに上記第1の実施例より大きな値の容量値を有する。

【0040】

【発明の効果】以上説明したように本発明の半導体装置の製造方法によると、DRAMの容量素子のリーク電流特性を劣化させることなく、DRAMの容量素子の容量値を増大させることができる。さらに、本発明によると、容量下部電極表面を構成する第1の導電体膜が、後工程において剥離されずにすむ。

【図面の簡単な説明】

【図1】本発明を適用するDRAMの素子構造を示す断面模式図である。

【図2】本発明の第1の実施例の製造工程の断面図であり、図1における容量素子部70の部分の部分拡大断面図である。

【図3】上記第1の実施例に使用するCVD装置の断面模式図である。

【図4】上記第1の実施例の効果を説明するための図であり、容量素子のリーク電流特性を示すグラフである。

【図5】上記第1の実施例の効果を説明するための図であり、容量素子の容量絶縁膜の酸化シリコン膜換算膜厚を示すグラフである。

【図6】本発明の第2の実施例の製造工程の断面図であり、図1における容量素子部70に対応する部分の部分拡大断面図である。

【図7】上記第2の実施例の効果を説明するための図であり、容量素子の容量値を示すグラフである。

【図8】上記第2の実施例の効果を説明するための図であり、スタック型容量素子の高さに対する1セル当たりの容量値の変化を示すグラフである。

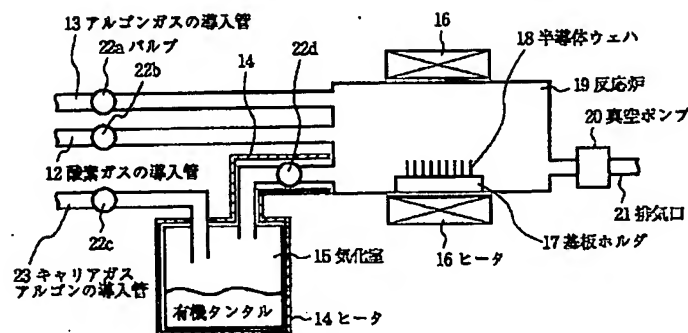
【図9】上記第2の実施例の効果を説明するための図であり、容量素子のリーク電流特性を示すグラフである。

【図10】従来の半導体装置の製造工程の断面図である。

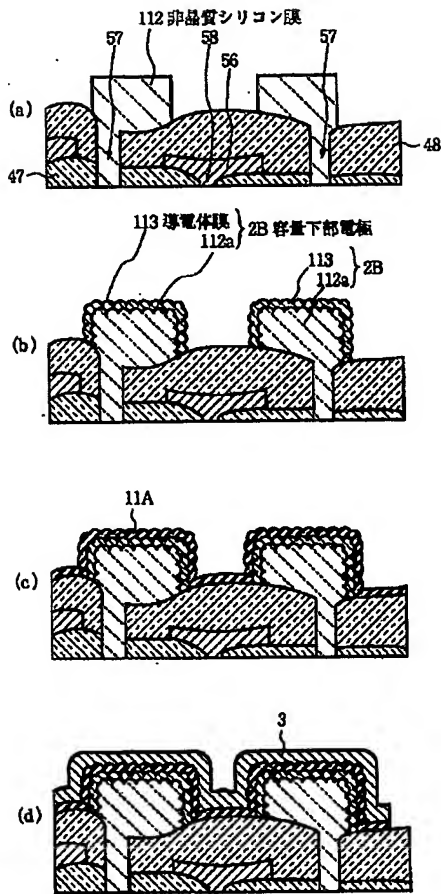
【符号の説明】

- 2, 2A, 2B 容量下部電極
- 3, 3a 容量上部電極
- 11, 11A, 11B 酸化タンタル膜
- 12, 13, 23 導入管
- 14, 16 ヒータ
- 15 気化室
- 17 基板ホルダ
- 18 半導体ウェハ
- 19 反応室
- 20 真空ポンプ
- 21 排気口
- 22a~22d バルブ
- 41 P型シリコン基板
- 42 Nウェル
- 43a, 43b Pウェル
- 45 N型分離領域
- 46 フィールド酸化膜
- 47, 48, 49 層間絶縁膜
- 50, 60 トランジスタ
- 51, 51a, 51b N型のソース・ドレイン領域
- 52 ゲート絶縁膜
- 53, 102 多結晶シリコン膜
- 54 シリサイド膜
- 55 ゲート電極
- 56 ビット線
- 57, 58, 67, 68 コンタクト孔
- 70 容量素子部
- 71, 71a~71c アルミ電極
- 72 窒化チタン膜
- 73 タングステン膜
- 103 タングステン系金属膜
- 112, 112a 非晶質シリコン膜
- 113 導電体膜

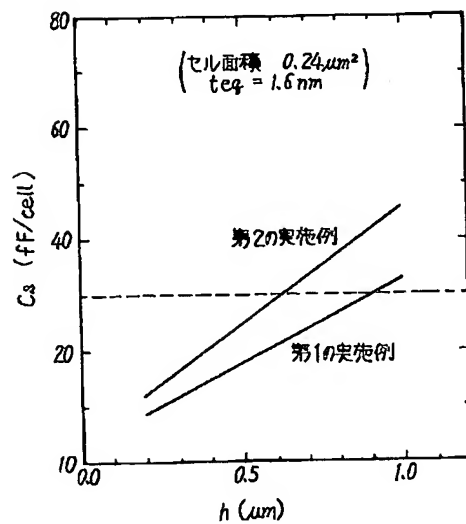
【図3】



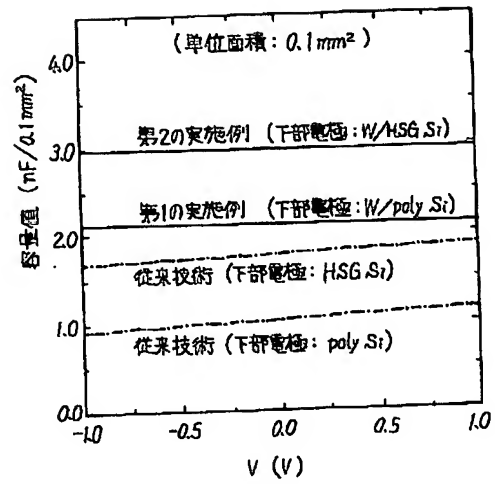
【図6】



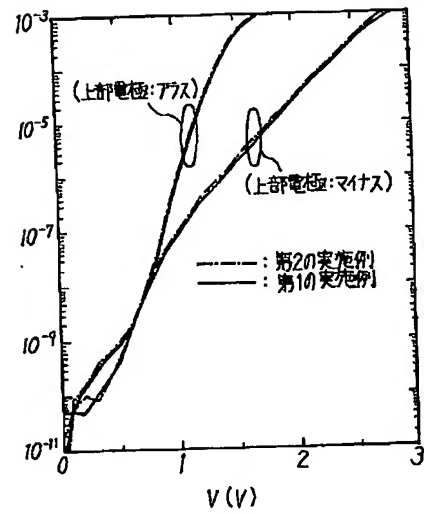
【図8】



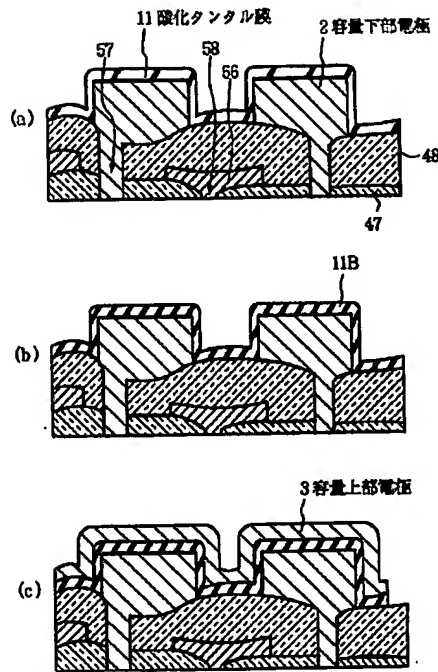
【図7】



【図9】



【図10】



【手続補正書】

【提出日】平成6年11月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1の導電体膜を表面に有する容量下部電極を形成する工程と、酸化タンタル膜からなる容量絶縁膜を形成する工程と、前記酸化タンタル膜を緻密化処理する工程と、第2の導電体膜からなる容量上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の導電体膜が、タングステン、モリブデン、もしくはチタン、あるいは窒化タングステン、窒化モリブデンもしくは窒化チタン、あるいはタングステンシリサイド、モリブデンシリサイド、もしくはチタンシリサイド、あるいはこれら導電体膜が多層構造からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記酸化タンタル膜の形成方法が、有機系のタンタル原料を用いた化学気相成長法であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記酸化タンタル膜の緻密化処理が、酸

化ガスを用いたプラズマ処理であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記酸化ガスが、酸素ガス、水分を含んだ酸素ガスおよび亜酸化窒素ガスの少なくとも1つからなることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第2の導電体膜が、タングステン、モリブデン、もしくはチタン、あるいは窒化タングステン、窒化モリブデンもしくは窒化チタン、あるいはタングステンシリサイド、モリブデンシリサイド、もしくはチタンシリサイド、あるいはこれら導電体膜が多層構造からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 半球形状結晶粒に覆われた表面を有するシリコン膜パターンを形成する工程と、前記シリコン膜パターンの表面に第1の導電体膜を形成し、容量下部電極を形成する工程と、酸化タンタル膜からなる容量絶縁膜を形成する工程と、前記酸化タンタル膜を緻密化処理する工程と、第2の導電体膜からなる容量上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】好ましくは、上記第1の導電体膜がタングステン、モリブデンもしくはチタン、あるいは窒化タングステン、窒化モリブデンもしくは窒化チタン、あるいはタングステンシリサイド、モリブデンシリサイド、もしくはチタンシリサイドあるいはこれら導電体膜が多層構造から形成されており、上記酸化タンタル膜の形成方法が有機系のタンタル原料を用いた化学気相成長法であり、上記酸化タンタル膜の緻密化処理が酸化ガスを用いたプラズマ処理であり、上記第2の導電体膜がタングステン、モリブデンもしくはチタン、あるいは窒化タングステン、窒化モリブデンもしくは窒化チタン、あるいはタングステンシリサイド、モリブデンシリサイド、もしくはチタンシリサイドあるいはこれら導電体膜が多層構造から形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】本発明の半導体装置の製造方法の第2の態様は、半球形状結晶粒に覆われた表面を有するシリコン膜パターンを形成する工程と、上記シリコン膜パターンの表面に第1の導電体膜を形成し、容量下部電極を形成する工程と、酸化タンタル膜からなる容量絶縁膜を形成する工程と、上記酸化タンタル膜を緻密化処理する工程と、第2の導電体膜からなる容量上部電極を形成する工程とを有する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】次に、この多結晶シリコン膜102表面の自然酸化膜を希釈弗酸により除去した後、タングステン系金属膜103を多結晶シリコン膜102表面に形成し、これら多結晶シリコン膜102およびタングステン系金属膜103からなる容量下部電極2Aを形成する〔図2(b)〕。上記タングステン系金属膜103としては、タングステン膜、タングステンシリサイド膜および窒化タングステン膜の少なくとも1つを含んでいる。なお、タングステン系金属膜103の代りにモリブデン膜、モリブデンシリサイド膜および窒化モリブデン膜の少なくとも1つを含んだモリブデン系金属膜あるいはチ

タン膜、チタンシリサイド膜および窒化チタン膜の少なくとも1つを含んだチタン系金属膜でもよく、さらにはこれら導電体膜の積層膜でもよい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】続いて、第2の導電体膜として全面に窒化チタン膜（図示せず）を堆積し、この窒化チタン膜（および酸化タンタル膜11A）をパターニングする。さらに、窒化処理が行なわれ、窒化チタン膜からなる容量上部電極3が形成される〔図2(d)〕。この窒化処理は、アンモニアガスを用いたプラズマ処理である。この条件は、温度が室温～600℃、圧力が $1.3 \times 10^2 \sim 1.3 \times 10^4$ Pa、パワーが50～500Wあるのが適している。ガスとしては、アンモニアガスの他に窒素ガスあるいは亜酸化窒素（N₂O）ガスを用いてもよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】なお、本実施例では第2の導電体膜である容量上部電極3として窒化チタン膜を用いたが、本発明はこれに限定されるものではなく、タングステン、モリブデン、もしくはチタン、あるいは窒化タングステン、窒化モリブデン、あるいはタングステンシリサイド、モリブデンシリサイドもしくはチタンシリサイド、あるいはこれら導電体膜が多層構造から形成されていてもよい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】本実施例では、導電体膜113として窒化チタン膜とタングステン膜との積層膜を採用したが、本発明はこれに限定されるものではない。導電体膜113としては、タングステン、モリブデンもしくはチタン、あるいは窒化タングステン、窒化モリブデン、もしくは窒化チタン、あるいはタングステンシリサイド、モリブデンシリサイド、もしくはチタンシリサイド、あるいはこれら導電体膜が多層構造からなるものでもよい。

フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 21/316
21/8242
27/108

識別記号

庁内整理番号

F I

技術表示箇所

X 7352-4M